

④Int. Cl.

H 01 L 21/88
21/28

別記号

庁内整理番号

6708-5F
7638-5F

④公 昭和62年(1987)2月12日

審査請求 未請求 発明の数 3 (全8頁)

④発明の名称 コンタクトプラグの形成方法

④特 願 昭61-181222

④出 願 昭61(1986)7月30日

優先権主張 ④1985年7月31日④米国(US)④761206

④発 明 者 クレイグ・エス・サン アメリカ合衆国、カリフォルニア州、クバーティノ ノー
グレン・スクエア、20325④発 明 者 バラージ・スワミーナ アメリカ合衆国、カリフォルニア州、マウンティン・ヴュー
ウエスト・ミドルフィールド、555、ナンバー・エ
ス・301④出 願 人 アドバンスト・マイク アメリカ合衆国、カリフォルニア州、サニイベイル ビ
ロ・デイバイシズ・イ
ンコーポレーテッド
イ・オウ・ボックス・3453、トンプソン・プレイス、901

④代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

コンタクトプラグの形成方法

2. 特許請求の範囲

(1) 素子の表面に實質的にプラナ状の誘電体層が配置され、さらにこの表面に接合領域が配置されている集積回路素子のためにコンタクト穴プラグを形成する方法であって、

前記接合領域に重畳する前記素子内に開削の、大きさを決められたコンタクト穴を形成する工程と、

前記穴に半導体材料を充填する工程と、さらに

各前記穴の下にある接合領域の極性に接合するように前記半導体材料をドーピングする工程とを含む方法。

(2) 穴を形成する前記工程はさらに、ほぼ1.4ミクロン以下の1個の水平寸法を有するように各穴を形成する工程を含む、特許請求の範囲第1項に記載の方法。

(3) 素子の表面に、實質的にプラナ状の誘電体層が配置され、さらにこの表面に接合領域が配置されている集積回路素子のためのプラグ形のコンタクト穴を形成する方法であって、

前記接合領域に重畳するパターンに従って、前記誘電体層内にコンタクト穴を形成する工程と、

前記表面にわたりコンタクト穴フィラー材料の層を形成し、前記穴を充填する工程と、

前記穴の中に、前記フィラー材料プラグを残しながら前記表面から前記フィラー材料を取除く工程と、さらに

各々が既に形成されている接合領域の極性と接合するために前記穴に残留している前記フィラー材料にドーピングする工程とを含む方法。

(4) コンタクト穴を形成する前記工程は、さらに前記パターンを規定する前記誘電体層にマスクを形成する工程を含む、特許請求の範囲第3項に記載の方法。

(5) さらにフォトリソ材料の前記マスクを形成する工程を含む、特許請求の範囲第4項

クロン以下の1個の寸法を有す ようにコンタクトパターンを形成するように前記マスクを形成する工程を含む、特許請求の範囲第4項に記載の方法。

(7) さらに前記穴を形成するために前記素子の表面接合領域まで、前記誘電体層のマスクされていない領域をエッチングする工程を含む、特許請求の範囲第6項に記載の方法。

(8) さらに実質的に垂直な側壁を有するように前記穴を形成する工程を含む、特許請求の範囲第7項に記載の方法。

(9) フィラー材料の前記層を形成する前に、前記マスクを除去する工程を含む、特許請求の範囲第8項に記載の方法。

(10) フィラー材料の前記層を形成する前記工程は、さらにポリシリコン層を生成する工程を含む、特許請求の範囲第3項に記載の方法。

(11) 前記生成の工程は、さらに前記コン

形成する工程と、

前記のマスクされていないプラグが第1の導電型を有するように、第1の導電型を有する接合領域上に位置するマスクされていないプラグにイオンをドーピングする工程と、

前記第2のマスクを除去する工程とを含む、特許請求の範囲第3項に記載の方法。

(14) 前記導電材料にドーピングする前記工程は、さらに

前記表面上にシリコン窒化物層を形成する工程と、

第1の導電型を有する接合領域上に位置する前記プラグ上に開口を形成する工程と、

前記プラグが前記第1の導電型を有するように、前記開口により露出された前記プラグにイオンをドーピングする工程と、

前記プラグの頂面上に酸化層を形成する工程と、

前記シリコン窒化物層を除去する工程と、

前記第1の導電型の前記プラグをマスクする

工程を含む、特許請求の範囲第10項に記載の方法。

(12) 前記フィラー材料を除去する前記工程は、さらにほぼ等しい厚度で前記フィラー材料および前記誘電体層をエッチングする方法でエッチングする工程を含む、特許請求の範囲第3項に記載の方法。

(13) 前記導電材料にドーピングする前記工程は、さらに

第1の導電型を有する接合領域に位置する導電材料プラグを有する穴を覆う第1のマスクを形成する工程と、

前記のマスクされていないプラグが第2の導電型を有するように、第2の導電型を有する接合領域上に位置するマスクされていないプラグにイオンをドーピングする工程と、

前記第1のマスクを除去する工程と、

第2の導電型を有する接合領域上に位置する導電材料プラグを有する穴を覆う第2のマスクを

ために前記酸化層を用いて、第2の導電型を有するように、前記シリコン窒化物層により初めに覆われたプラグにドーピングする工程と、

前記酸化層を除去する工程とを含む、特許請求の範囲第3項に記載の方法。

(15) 集積回路内で接合領域上に横たわる誘電体層におけるプラグ形のコンタクト窓を形成する方法であって、

前記接合領域に合致するパターンで、前記誘電体層内にコンタクト窓を形成する工程と、

前記コンタクト窓を充填するフィラー材料の層を前記誘電体層に形成する工程と、

プラグが前記窓内に残留するように前記フィラー材料層を除去する工程と、

第1の導電型を有する接合領域上に横たわる、窓内の前記プラグ上に第1のマスキング層を形成する工程と、

第2の導電型を有し、第2の導電型を有する接合領域上に横たわる、窓内のプラグに第2の導電型をドーピングする工程と、

上に第2のマスキング層を形成する工程と、

前記第1の導電型を有する接合領域上に横たわる、室内のプラグに前記第1の導電型をドーピングする工程と、

前記第2のマスキング層を除去する工程とを含む、

それによって各素子が、下部の接合領域と接合する導電型を有するプラグを有する方法。

(16) コンタクト窓を形成する前記工程が、さらに1層の水平寸法がほぼ1.4ミクロン以下になるように前記窓をエッチングする工程を含む、特許請求の範囲第15項に記載の方法。

(17) 前記フィラー材料層を除去する前記工程が、さらに前記フィラー材料と前記誘電体層とをほぼ同じ速度でエッチングするエッチング過程を含み、そのため前記フィラー材料のすべてが前記誘電体層の表面から除去され、前記穴フィラー材料の周辺表面が、ほぼ0.3ミクロンだけ前記

の範囲第15項に記載の方法。

(18) 前記フィラー材料を除去する前記工程は、さらに、前記フィラー材料がほぼ0.3ミクロンの深さまで前記誘電体層の表面下に奥まるように前記誘電体層よりも速い速度で前記フィラー材料をエッチングするエッチング過程を達成する工程を含む、特許請求の範囲第15項に記載の方法。

(19) 前記フィラー材料を除去する前記工程は、さらに、前記フィラー材料が前記誘電体層から除去されてしまったとき、検出が発生するように終点検出を用いるエッチング過程を達成する工程を含む、特許請求の範囲第15項に記載の方法。

3. 発明の詳細な説明

発明の背景

(1) 発明の分野

この発明は一般的に集積回路のコンタクト構造に関し、特に完全にプラナ化された集積回路素子、特にコンプリメンタリ金属酸化物半導体(CMO

S)の方法を用いて製作された素子のための導電性または半導電性のコンタクトプラグを形成する方法に関する。

(2) 先行技術の説明

半導体分野における超大規模集積(VLSI)回路の出現は多くの問題を抱えていて、VLSI回路ダイスにしばしば存在する幾万のおよび幾十万もの能動構成要素を効果的に相互接続させる必要性を含む。技術の現在の状態における標準相互接続機構は基本的に、たとえば結合されるべき各能動素子の接合領域に通じる孔(別名、コンタクト窓)を有する絶縁体層に生成されるアルミニウム等の導電性材料のパターン化された薄膜である。

VLSIにおいて、ウエハの表面の構成要素領域に対する水平寸法は1ミクロン範囲に近づきつつある。しかし、コンタクト穴の垂直方向の高さあるいは深さは、寄生容量や金属相互接続段部被覆のような拘束があるので、この尺度決めは不可能かもしれない。このように比較的深いコンタクト穴は、相互接続として用いられるスパッタされ

た金属膜には施せない。段部被覆が良くないと結果的に歩留りと信頼性の損失を招くことになる。

この問題を除去するのに用いられる1つの方法はコンタクト穴に傾斜側壁を形成するエッチング方法を使用することである。この方法はコンタクト窓へのまずい金属段部被覆の問題をしばしば解決することができる。しかしながら、この方法は縮小の達成を助長しない、なぜならばコンタクト窓の上面での寸法は比較的大きいままであるからである。

現在のCMOS集積回路は、(接合とフィールドの間の電氣的短絡を生じ、回路を動作不能にする)P⁺またはn⁺領域および周囲のフィールド分離領域の双方の上でコンタクト穴が開くのを防ぐためにP⁺およびn⁺拡散領域のコンタクトを拡散領域の充分内部に配置させる。拡散領域の充分内部で穴を並列させるための開孔の必要条件もまたスケール決めの目標に反する。

NMOSおよびCMOS VLSIの双方においても、非常に浅いn⁺およびP⁺接合が一般に用

うな金属相互接続層により直接にコンタクトされるとき、接合を通じて金属の「スパイク化」が起こり得る。これもまた歩と信頼性の損失を生じる。

発明 要約

この発明の主たる目的は、集積回路相互接続として用いられコンタクト穴のための低抵抗導電プラグを提供することである。

この発明の別の目的は、集積回路素子のためのコンタクト穴プラグを形成する方法を提供することである。

この発明のさらに別の目的は、順次の層の生成およびマスキングに対する必要条件を緩和するためにウエハの段部高さを最小にする集積回路コンタクト窓のための導電低抵抗フィラーを形成する方法を提供することである。

この発明のさらに別の目的は、「スパイク化」の可能性を大いに削減するために、集積回路の金

属の表面に実質的にプラナ状の真鍮層を有し、その素子の表面上には接合領域を形成する集積回路素子のためコンタクト穴プラグを形成する方法であって、前記接合領域と接合するパターンに従って、前記真鍮層にコンタクト穴を形成し、前記穴を充填しながら前記表面にわたって材料層を形成し、前記穴に前記材料を残しながら、前記表面から前記材料を除去し、さらに、各々が既に形成されている接合領域の極性に接合するように前記穴に預存する前記材料にドーブすることによって、コンタクト穴プラグを形成する方法を提供する。

開示された方法は、コンタクト孔の形成の的にプラナ化技術の利用を可能にするという利点を提供し、したがって順次の層の生成およびマスキングのために開らかな表面を提供する。

この発明の別の利点は、より形成しやすく、ウエハの不動態面積をさほど占有しなくてすむ垂直

側壁を有するコンタクト孔の使用を可能にすることである。

この発明の他の目的、特徴および利点は、各図を通じて同じ参照符号が同じ特徴物を示す、下記の詳細な説明および添付図面を考慮することで明らかになるであろう。

詳細な説明

この発明の特定の実施例を詳細に参照する。これは、この発明を実施するために発明者により現在企図されている最良のモードを示している。代替の実施例も添付図面に簡潔に説明され述べられている。この説明において参照される図面は、特に注目される組合を除き、尺度決めるように描かれたのではないと理解されるべきである。さらに、この図面はこの発明に従って製作された集積回路の一部のみを示すことを意図している。

第1図はたとえば、一般的に結晶シリコンまたはエピタキシャルで形成されたシリコン層から形成されたn型導電性のウエハのサブストレート10を示し、そこにかつその上に能動集積回路構成

要素が製作されている。図示の目的で、n型導電性を有するように多くドーブされた拡散領域12は、サブストレート10の表面14の直下に位置する。この拡散領域には、フィールド酸化物領域16とp型サブストレート10により、表面14の隣接するいかなるドーブ領域からも分離されている。例示のポリシリコンゲート18は、フィールド酸化物16に重ねて示されている。

集積回路構成要素の製作方法において用いられる共通の技術の詳細を記述する刊行物は多くある。例として、フェアチャイルド・コーポレーションが1979年に著作権を得たレストン・パブリッシング・カンパニー、インコーポレーテッドの「半導体および集積回路製作技術」(Semiconductor & Integrated Circuit Fabrication Techniques)を参照されたい。これらの技術はこの発明の実施に採用されている。さらに、個々の工程は商業的に入手可能な集積回路製作機械を使用して達成され得る。この発明の理解に特に必要であるので、近似の技術データを現在の技術に

な調節を必要とするかもしれない。

能動構成要素の製作が完了したとき、極端にプラナ化された誘電体層20がダイスの表面に形成される。アダムス・アンド・カピオ著、「J. Electrochem. Soc.」, Vol. 128 (1981)、432頁から437頁に述べられるような技術が採用されてもよい。基本的に二酸化シリコンの膜(厚さ、およそ1.0ミクロン)は化学的気相成長(CVD)によって生成される。フォトレジスト膜(同様におよそ1.0ミクロン)はその表面に引き延ばされる。フォトレジスト膜の平坦な表面は、フォトレジストと酸化物がほぼ同じ速度でエッチングするような条件の下で、1.3ミクロンの材料をプラズマ内でエッチングすることにより二酸化シリコン層20に転送される。いかなる残留のレジストも取除いた後、別の0.5ミクロンの二酸化シリコンが生成される。

さらにコンタクト穴パターンが、従来のフォト

ない)は、すべての穴24が1個の水平寸法において1.4ミクロン(あるいはそれ以下であるように設計されている。別の水平寸法においては制限がなく、垂直寸法は最も実質的に考慮すると、0.5から2.5ミクロンの間を変動し得る。穴24は、従来の異方性プラズマ酸化物エッチング技術を用いるような方法で、誘電体層20内にエッチングされる。これは実質的に垂直(たとえば、ウエハの表面14に垂直)な側壁26を有するコンタクト穴24を形成するであろう。それからフォトレジストマスクが取除かれる。

次に、第2図に完全に示されているように、半導体材料層30が形成される。一般的にCVDは、厚さがほぼ1.5ミクロンのポリシリコン層30を得るために用いられる。少なくとも1つの空間範囲内のコンタクト穴24の寸法が小さく、化学的気相成長が等角性を有するために、ポリシリコンの表面32は実質的にプラナ化されるであろう。


次に、ポリシリコン層30は、第3図で完全に示されているように、好ましくは特定点抽出を有するエッチング方法を用い、穴24の各々にポリシリコン穴プラグ34を残しながら、誘電体20の表面22が露出するまで、エッチングされる。コンタクト穴24以外の領域内のポリシリコンがすべて、誘電体層20の表面22から取除かれるまで、このエッチング工程が継続される。

ポリシリコン層30のエッチングバックのために用いられる方法は、好ましくはポリシリコン層30に下層の誘電体層20とはほぼ同じ速度でエッチングされるガスと方法条件を用いてプラズマ内で達成される。ポリシリコン層30と誘電体層20のエッチング速度の、わずかな相違が、誘電体層20の表面22の位置に対する、ポリプラグ34の周辺表面36の垂直位置に変動を引き起こすであろう。典型的エッチング方法は、ポリプラグ34の周辺表面37を0から0.3ミクロンの間まで誘電体層20の表面22の上もしくは下のいずれかに位置されるであろう。したがって、連続

金属相互接続線40により覆われるべきコンタクト室24に入り込む、もしくはコンタクト室24から出る最大段部高さは0.3ミクロンである。


第4a図および第4b図に示されているように、次にポリシリコンプラグ34および34'は、そこに各々が既に形成されている接合領域、12および12'のドーパ極性に整合するようにn'またはp'のいずれかにドーパされる。第4a図を参照すると、マスク38(典型的にはフォトレジスト)はパターン化され、このためポリシリコン穴プラグ34'を既に形成しているp'接合室24'を覆う。サブストレート10のn'接合領域12に重畳する穴24内のプラグ34は、従来のイオン注入によるのと同様にドーパされる。第4a図の矢印は明示の注入量を表わし、これは、ヒ素またはリンイオンを用いる50 keVのエネルギーにおいてはほぼ $5 \times 10^{11} \text{ cm}^{-2}$ である。マスク38はそれから取除かれる。

別のマスク38'(再び、典型的にはフォトレジスト)は、第4b図で示されているように、同

に設置する穴24'内のマスクされていない穴プラグ34'は、再び、イオン注入技術によるのと同様にドーパされる。第4b図の矢印はホウ素(またはBF₃)イオン注入器を表わし、これは穴プラグ34'のn'ドーピングのために用いられる量とはほぼ同じである。フォトレジストマスク38'はそれから取除かれる。

ドーパントが、アルゴン雰囲気下の900℃でほぼ1時間の熱処理により、プラグ34および34'を通過して拡散される。

プラグ34および34'をドーパするための代替の手順は、第5a図および第5b図に示される。初めに、シリコン窒化物層42が、p'接合領域12'と重畳するプラグ34'を覆うように形成される。n'注入後(第4a図で説明されたように)、n'ドーパプラグ34は、従来の熱成長方法によるのと同様に、第5b図で示されるように、酸化物層44を形成するために、その頂面で酸化

取除かれる。酸化物層44は、後のp'ドーパント注入を阻止する十分な厚さまで、n'プラグ34上に形成される。p'およびn'ドーパントは再び、たとえばアルゴン内ではほぼ1時間ほぼ900℃の熱処理により、プラグを通して拡散される。

p'プラグ34'のドーピングに続いて(第4b図で説明されたように)、酸化物層44は湿式化学エッチまたはプラズマエッチ方法のような一般に知られた技術により、取除かれる。

ポリシリコン穴プラグ34および34'の処理が完成した状態で、第6図の段部完成で示されているような金属相互接続層40の生成が始まり、ダイスが従来通り処理される。

この発明は、CMOS方法で示されてきた。簡単な修正によりCMOS方法がNMOSおよびバイポーラ集積回路製作方法に適用可能になることは、当業者にとっては明らかであろう。たとえば、

NMOSの応用には、n'注入工程の前にフォトリソグラフィエッチ工程が必要でなく、しかもp'注入も必要ではない。

この発明の、好ましい実施例に関する上記の説明は、例示と説明の目的で提示されたものである。これは、余すところないものではなく、またこの発明を開示された正確な形式に限定するものでもない。明らかに、当業者にとっては、多くの修正や変更が明らかとなるであろう。同様に、前記の方法段階は、同様の結果を達成するために異なる順序で実行されてもよい。実施例は、この発明の原則とその実際の応用を最も良く説明するために選ばれ述べられたのであって、それによって当業者が、企図された特定の用途に適用する様々な修正と様々な実施例において、この発明を最良に理解することを可能にする。発明の範囲は添付の請求の範囲とその均等物によって規定される。

4. 図面の簡明な説明

第1図ないし第6図は、この発明の実施例による方法工程の理想化された順序を表わす簡略断面

図であり、

第1図は、プラナ化された誘電体層を貫通するコンタクト穴を有するサブストレートの段部の完成を示し、

第2図は、ポリシリコン層が誘電体層に重畳し、しかも第1図のコンタクト穴を充填する段部の完成を示し、

第3図は、第2図のポリシリコン層が既に取除かれ、コンタクト穴にポリシリコンプラグを挿している段部の完成を示し、

第4a図と第4b図は、第3図で示されたコンタクトプラグのドーピングを示し、

第5a図と第5b図は、第3図で示されたコンタクトプラグのドーピングの代替の方法を示し、

第6図は金属層を所定位置に成せた、この発明の段部の完成を示す。

図において、10はウエハのサブストレート、12、12'は拡散領域、14はウエハの表面、16はフィールド酸化物領域、18はポリシリコンゲート、20は二酸化シリコン層、22は誘電

コンの表面、34、34'はポリプラグ、36は
 周辺表面、37はポリプラグの周辺表面、38、
 38'はマスク、40は通孔金属相互接続膜、4
 2はシリコン窒化物膜、44は酸化物膜である。

特許出願人 アドバンスド・マイクロ・デバイ
 イシズ・インコーポレーテッド

代理人 弁理士 渡 兎 久 郎

(ほか2名)

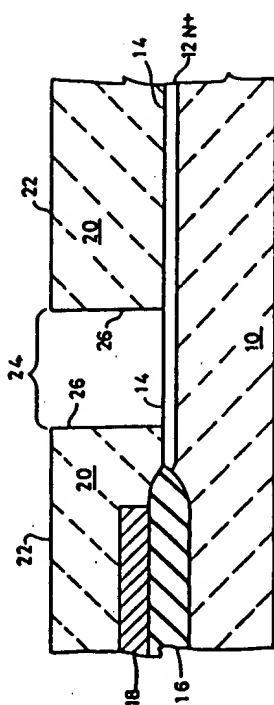


FIG. 1

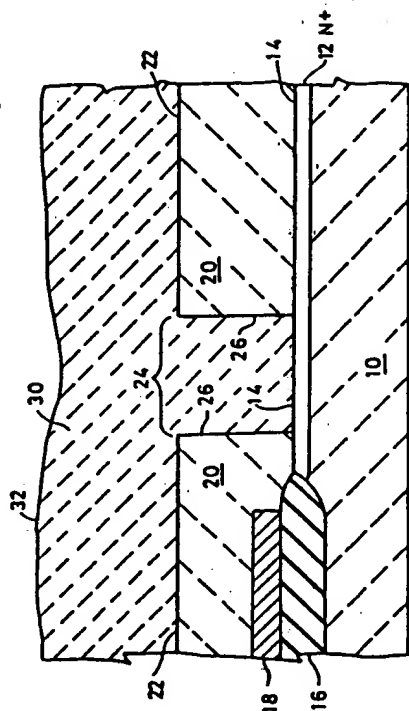


FIG. 2

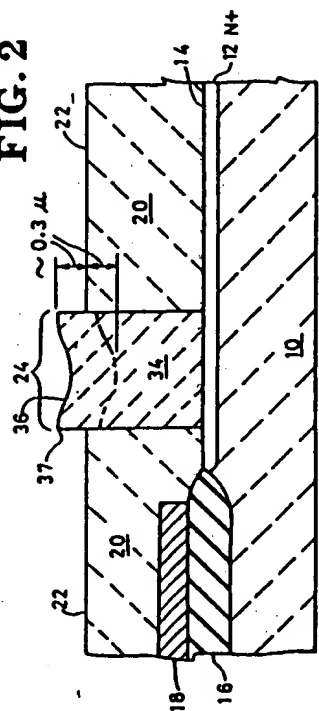


FIG. 3

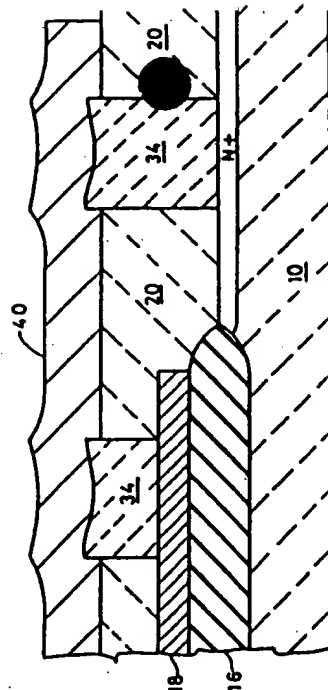


FIG. 6

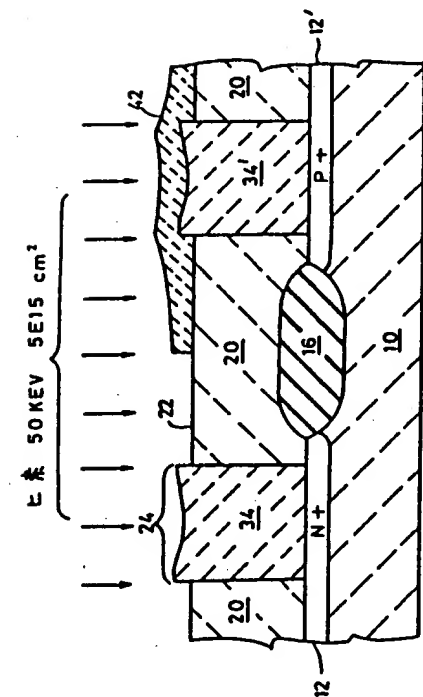


FIG. 5A

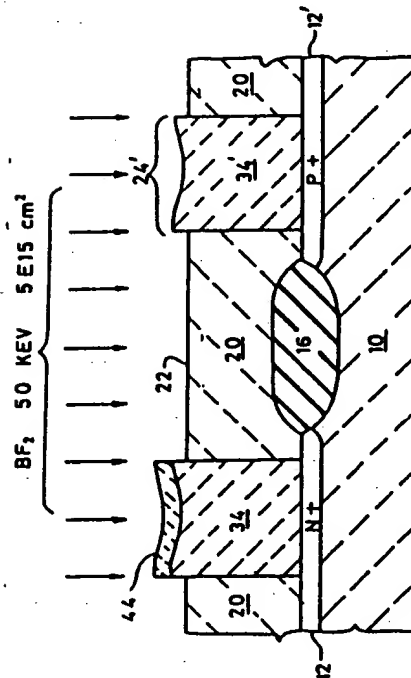


FIG. 5B

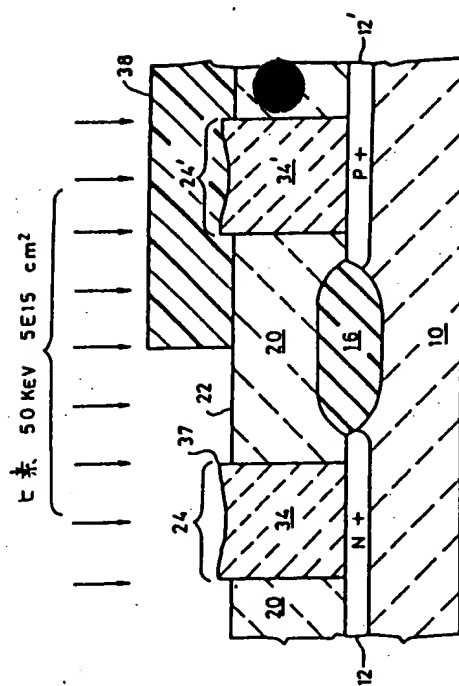


FIG. 4A

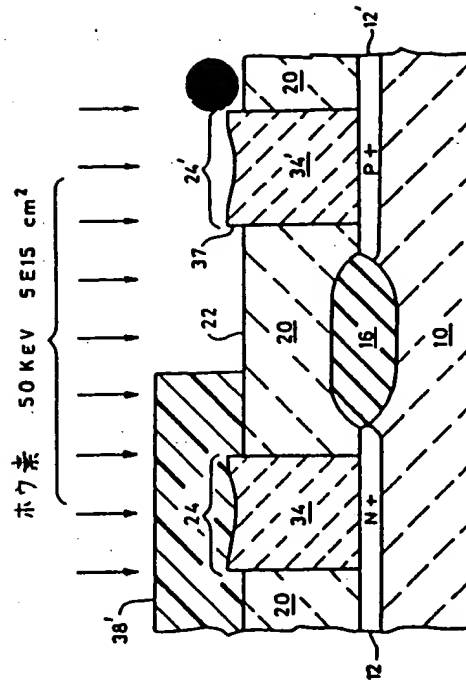


FIG. 4B



The Delphion
Integrated
View

Other Views:
INPADOC

Title: **JP6232630A2: TEMPERATURE COMPENSATION TYPE CRYSTAL OSCILLATOR**

► Want to see a more descriptive title highlighting what's new about this invention?

Country: **JP Japan**

Kind: **A**

Inventor(s): **AKANE KATSUNORI
NAITO ATSUSHI
SAKABA YASUO**

Applicant/Assignee: **NIPPON DEMPA KOGYO CO LTD**



News, Profiles, Stocks and More about this company

Issued/Filed Dates: **Aug. 19, 1994 / Jan. 30, 1993**

Application **JP1993000034444**

IPC Class: **H03B 5/32;**

► Interested in classification by use rather than just by description?

Priority Number(s): **Jan. 30, 1993 JP1993000034444**

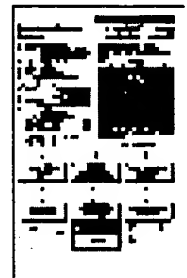
Abstract: **Purpose:** To improve the job performance for a write job of temperature compensation data, to secure electric connection and also to correct the temperature compensation data while the oscillator is mounted on an equipment.
Constitution: The temperature compensation type crystal oscillator compensating temperature with temperature compensation data stored in a semiconductor memory is featured in that it is provided with a case containing an insulation board 13 with an oscillation circuit mounted thereon and a connection board 16 extended to the outside of the case from the insulation board via a break line 15, connecting to external terminals, receiving write data to be written into the semiconductor memory and removed and broken after data are written.

COPYRIGHT: (C)1994,JPO&Japio

► See a clear and precise summary of the whole patent, in understandable terms.

Family: Show known family members

Other Abstract Info: **DERABS G94-306534 DERG94-306534 JAPABS 180603E000104**

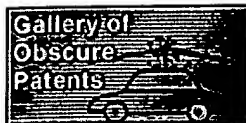


BEST AVAILABLE COPY



JAP180603E000104

Foreign
References: No patents reference this one



Nominate this
for the Gallery...

[Subscribe](#) | [Privacy Policy](#) | [Terms & Conditions](#) | [FAQ](#) | [Site Map](#) | [Help](#) | [Contact Us](#)

© 1997 - 2001 Delphion Inc.

BEST AVAILABLE COPY